

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 11214800
PUBLICATION DATE : 06-08-99

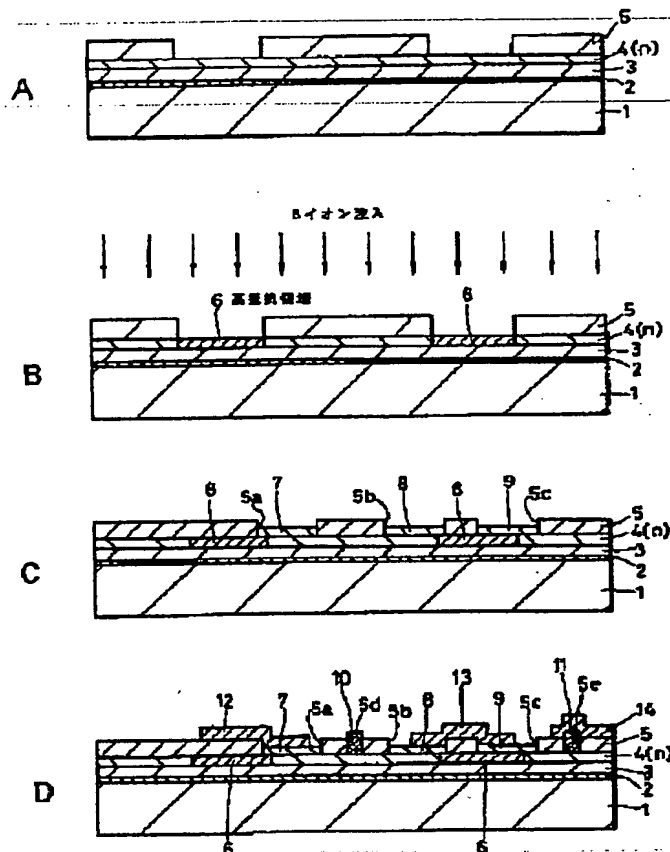
APPLICATION DATE : 28-01-98
APPLICATION NUMBER : 10015446

APPLICANT : SONY CORP;

INVENTOR : KAWAI HIROHARU;

INT.CL. : H01S 3/18 H01L 21/265 H01L 21/76
H01L 21/338 H01L 29/812 H01L 33/00

TITLE : SEMICONDUCTOR DEVICE AND
MANUFACTURE THEREOF



ABSTRACT : PROBLEM TO BE SOLVED: To enable a high-resistance region which is kept high in resistance even at high temperatures to be formed in a conductive nitride III-V compound semiconductor layer through implantation of ions.

SOLUTION: After a conductive nitride III-V compound semiconductor layer is grown, boron ions are implanted locally into the conductive nitride III-V compound semiconductor layer to form a high-resistive region 6. The amount of implanted ions is set preferably 1/30 or above, more preferably 1/15 or above as high as the carrier concentration of a conductive nitride III-V compound semiconductor layer. The high-resistive region 6 is used as the element isolation region of an electron transit element or the current constriction layer of a semiconductor laser.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-214800

(43) 公開日 平成11年(1999) 8月6日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 S 3/18

H 0 1 S 3/18

H 0 1 L 21/265

H 0 1 L 33/00

C

21/76

21/265

6 0 1 J

21/338

21/76

R

29/812

29/80

B

審査請求 未請求 請求項の数 8 O L (全 10 頁) 最終頁に続く

(21) 出願番号

特願平10-15446

(22) 出願日

平成10年(1998) 1月28日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 河合 弘治

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

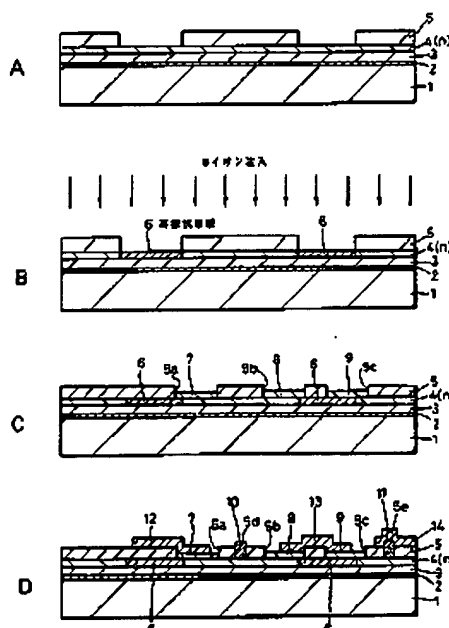
(74) 代理人 弁理士 杉浦 正知

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 導電性を有する窒化物系Ⅲ-Ⅴ族化合物半導体層に、高温でも高抵抗を維持する高抵抗領域をイオン注入により形成することができる半導体装置およびその製造方法を提供する。

【解決手段】 導電性を有する窒化物系Ⅲ-Ⅴ族化合物半導体層を成長させた後、この窒化物系Ⅲ-Ⅴ族化合物半導体層に部分的にホウ素をイオン注入することにより高抵抗領域を形成する。ホウ素の注入量は、窒化物系Ⅲ-Ⅴ族化合物半導体層のキャリア濃度の好ましくは1/30以上、より好ましくは1/15以上にする。電子走行素子の素子分離領域や半導体レーザの電流挟層にこの高抵抗領域を用いる。



(2)

特開平11-214800

1

【特許請求の範囲】

【請求項1】 導電性を有する窒化物系III-V族化合物半導体層に部分的に高抵抗領域が設けられた半導体装置において、

上記高抵抗領域がホウ素のイオン注入により形成されたものであることを特徴とする半導体装置。

【請求項2】 使用温度範囲における上記高抵抗領域のシート抵抗値が $1\text{ M}\Omega/\square$ 以上であることを特徴とする請求項1記載の半導体装置。

【請求項3】 上記ホウ素の注入量が上記窒化物系III-V族化合物半導体層のキャリア濃度の $1/30$ 以上であることを特徴とする請求項1記載の半導体装置。

【請求項4】 上記ホウ素の注入量が上記窒化物系III-V族化合物半導体層のキャリア濃度の $1/15$ 以上であることを特徴とする請求項1記載の半導体装置。

【請求項5】 導電性を有する窒化物系III-V族化合物半導体層に部分的に高抵抗領域が設けられた半導体装置の製造方法において、

上記窒化物系III-V族化合物半導体層に部分的にホウ素をイオン注入することにより上記高抵抗領域を形成するようにしたことを特徴とする半導体装置の製造方法。

【請求項6】 使用温度範囲における上記高抵抗領域のシート抵抗値が $1\text{ M}\Omega/\square$ 以上となるように上記ホウ素をイオン注入することを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】 上記ホウ素の注入量を上記窒化物系III-V族化合物半導体層のキャリア濃度の $1/30$ 以上とすることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項8】 上記ホウ素の注入量を上記窒化物系III-V族化合物半導体層のキャリア濃度の $1/15$ 以上とすることを特徴とする請求項5記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置およびその製造方法に関し、特に、窒化物系III-V族化合物半導体を用いた各種の半導体装置に適用して好適なものである。

【0002】

【従来の技術】GaN系半導体は直接遷移半導体であり、その禁制帯幅は 1.9 eV から 6.2 eV に亘っており、可視領域から紫外線領域におよぶ発光が可能な発光素子の実現が可能であることから、近年注目を集めており、その開発が活発に進められている。また、このGaN系半導体は、電子走行素子の材料としても大きな可能性を持っている。すなわち、GaNの飽和電子速度は約 $2.5 \times 10^7\text{ cm/s}$ とSi、GaAsおよびSiCに比べて大きく、また、破壊電界は約 $5 \times 10^5\text{ V/cm}$ とダイヤモンドに次ぐ大きさを持っている。このよう

2

な理由により、GaN系半導体は、高周波、高温、大電力用電子走行素子の材料として大きな可能性を持つことが予想されてきた。

【0003】ところで、よく知られているように、一般に、半導体装置においては、素子領域以外の領域を高抵抗にする必要がある。例えば、半導体レーザにおいては、ストライプ状の電流通路を形成し、そこに電流を集中させることによりレーザ発振を行わせるが、このような電流狭窄構造を形成する方法として、レーザ構造を形成する半導体層の成長後にその表面に絶縁膜を形成し、この絶縁膜にストライプ状の窓を明け、そこを電流通路とする方法や、イオン注入によりストライプ部以外の部分の半導体層を高抵抗化する方法などが用いられている。一方、電子走行素子においては、素子領域以外の導電層をメサエッチングにより完全に除去する方法や、イオン注入により導電層を部分的に高抵抗化する方法などが用いられている。これに対し、GaN系半導体を用いた半導体装置においては、素子領域以外の領域を高抵抗化するのに最適な方法はまだ確立されておらず、このため、このGaN系半導体を用いた素子本来の特性を発揮することができないのが実状である。

【0004】上述の方法のうち、イオン注入により導電層を部分的に高抵抗化する方法は、高抵抗領域を素子領域とほぼ同一平面上に形成することができるため、素子を集積化する場合に有利であり、実際、GaAs系の集積素子における素子分離にはほとんどこのイオン注入による高抵抗化法が用いられている。これに対し、Si系素子では、Siの禁制帯幅が 1.1 eV と小さく、イオン注入法では絶縁性がそれほど得られないことから、pn接合によって素子分離を行っている。

【0005】さて、GaN系半導体を用いた半導体装置については、発光ダイオードはすでに実用化されているものの、半導体レーザや電子走行素子はまだ実用化されていない。現在開発中の半導体レーザや電子走行素子においては、素子分離技術として、前者においてはメサエッチング法が用いられており、後者においてはイオン注入による高抵抗化法またはメサエッチング法が用いられている。このうち、イオン注入による高抵抗化法としてこれまでに提案されたものについて概説すると、次の通りである。

【0006】GaNへのイオン注入の最初の報告はおそらくAppl.Phys.Lett.,42,430(1983)であり、イオン種としてはベリリウム(Be)または窒素(N)が用いられている。この報告におけるイオン注入の目的は、素子分離ではなく、キャリア濃度を減少させてショットキー障壁を高くすることであった。次に、Appl.Phys.Lett.,63,1143(1993)において、素子分離を目的とするイオン注入のイオン種としてフッ素(F)を用いた例が報告された。その後、同じ目的でイオン種としてNおよびOを

(3)

特開平11-214800

3

用いる例も報告された (Appl. Phys. Lett., 66, 3042 (1995) および J. Electron. Mater., 25, 839 (1996))。これらの報告では、イオン種 O、N、F の間で熱処理による抵抗値の差が現れることが示され、欠陥種の化学的な差が現れることが示された。素子分離を目的とするイオン注入のイオン種としては、そのほかに水素 (H) およびヘリウム (He) も報告されている (IEEE IEDM proceedings 96, 27 (1996))。

[0007]

【発明が解決しようとする課題】 上述のように、Ga-N 系半導体を用いた半導体装置における高抵抗化あるいは素子分離用のイオン注入のイオン種としては、これまでに H、N、O、F および Be が提案されている。これらのイオン種のうち、O の場合欠陥が一番深い準位をつくり、最も好適であると言われている。また、化学的には O が最も好適と思われるが、これによる素子データの報告はなく、信頼性のある技術となっていない。現在、H がもっとばら用いられているが、H は熱処理によって移動しやすいため、素子領域に拡散し、ドナーやアクセプタと結合してこれらを不活性化することにより、キャリア濃度の低下をきたし、素子の劣化を招いたりする。したがって、H は本来的には良好なイオン種とは言えない。また、高抵抗化用のイオン種として H を用いた場合に、高温で欠陥がアニールアウトされて導電性を回復してしまうことも報告されている (J. Appl. Phys., 78 (5), 3008 (1995))。さらに、N、F および Be も、良好なイオン種とは言えない。

【0008】したがって、この発明の目的は、導電性を有する窒化物系 III-V 族化合物半導体層に、高温でも高抵抗を維持する高抵抗領域をイオン注入により形成することができる半導体装置およびその製造方法を提供することにある。

[0009]

【課題を解決するための手段】 本発明者は、従来技術が有する上述の課題を解決すべく、鋭意検討を行った結果、Ga-N 系半導体を用いた半導体装置における高抵抗化用のイオン注入のイオン種としては、ホウ素 (B) が最適であることを見出した。B は III 族元素であり、ガリウム (Ga) やアルミニウム (Al) と同族の元素である。この B は偶然にも AlGaAs 系半導体レーザや GaAs 系 FET における高抵抗化用のイオン注入のイオン種として用いられているが、Ga-N 系半導体を用いた半導体装置においては、B を高抵抗化用のイオン種として用いることは知られていない。

【0010】本発明者は、Ga-N 系半導体に B のイオン注入を行い、それにより形成される高抵抗領域の評価を行った。評価用の試料は、具体的には次のようにして作製した。すなわち、c 面サファイア基板上に有機金属化学気相成長 (MOCVD) 法により例えば 560℃ 程度の成長温度で Ga-N バッファ層を低温成長させた後、引

4

き続いて MOCVD 法によりこの Ga-N バッファ層上に厚さが 2 μm のアンダーブレイク Ga-N 層、厚さが 0.2 μm で Si を $3 \times 10^{19} \text{ cm}^{-3}$ ドープした n 型 Ga-N 層および厚さが 4 nm の AlN 層を順次成長させる。次に、これらの層を成長させた c 面サファイア基板を半分に割り、一方を試料 (1)、他方を試料 (2) とする。そして、試料 (1) には B を注入エネルギー 60 keV、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ の条件でイオン注入し、試料 (2) には B を注入エネルギー 60 keV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入した。その後、これらの試料 (1) および試料 (2) における B、Si および Ga の深さ方向の分布プロファイルを二次イオン質量分析 (SIMS) 法により測定した。その結果を図 1 および図 2 に示す。ここで、図 1 が試料 (1)、図 2 が試料 (2) についてのものである。

【0011】図 1 および図 2 より、60 keV の注入エネルギーの場合の B 濃度のピークの深さは約 0.15 ~ 0.16 μm であり、計算による予想値 0.12 μm より深かった。なお、図 1 および図 2 において、表面付近の Si の分布は測定に伴う固有の現象である。

【0012】次に、試料 (1) および試料 (2) をそれぞれ 5 mm 角に分割し、N₂ ガス雰囲気中において、300℃、400℃、500℃、600℃、700℃、800℃、900℃で 30 分間熱処理を行った。その後、各試料の四隅に Au/In 電極を形成し、4 端子法により抵抗値の測定を行った。以下、抵抗値の測定結果について説明する。なお、B のイオン注入を行わない試料のシート抵抗値は約 100 Ω/□であった。

【0013】B のドーズ量が $1 \times 10^{14} \text{ cm}^{-2}$ の試料 (1) のシート抵抗値の熱処理温度依存性を図 3 に示す。ただし、熱処理前は測定限界 (10 GΩ/□) のシート抵抗値を示した。図 3 からわかるように、熱処理温度が高くなるにつれて徐々にシート抵抗値が下がっているが、データのばらつきが多少あるものの、500℃でも 1 MΩ/□程度の高いシート抵抗値が得られており、400℃では 10 MΩ/□程度の極めて高いシート抵抗値が得られている。1 MΩ/□というシート抵抗値は素子分離用あるいは電流狭窄用の高抵抗領域として実用上十分に高い値であるから、イオン注入前の初期シート抵抗値が 100 Ω/□の試料に対しては、B のドーズ量を $1 \times 10^{14} \text{ cm}^{-2}$ とすれば、500℃においても 1 MΩ/□以上の高いシート抵抗値を維持する高抵抗領域を形成することができるがわかる。

【0014】次に、B のドーズ量が $2 \times 10^{13} \text{ cm}^{-2}$ の試料 (2) のシート抵抗値の熱処理温度依存性を図 4 に示す。ただし、この試料 (2) の熱処理前のシート抵抗値は 5 kΩ/□であった。図 4 からわかるように、シート抵抗値は 200℃で 10 kΩ/□程度であり、素子分離用あるいは電流狭窄用の高抵抗領域のシート抵抗値としては不十分である。

(4)

特開平11-214800

5

6

【0015】さて、図1に示す試料(1)のSIMSプロファイルを検討してみると、Siのドーピング濃度は $3 \times 10^{19} \text{ cm}^{-3}$ であり、また、そのドーピング層の厚さを $0.25 \mu\text{m}$ とすると、 $3 \times 10^{19} \times 2.5 \times 10^{-7} = 7.5 \times 10^{14} \text{ cm}^{-2}$ のSiがドーピングされている。一方、シート抵抗値の測定とは別に行ったホール測定で得られたキャリア濃度(電子濃度)は $8 \times 10^{14} \text{ cm}^{-3}$ であったことから、Siのドーピング層中のSi濃度が $7.5 \times 10^{14} \text{ cm}^{-3}$ であることを考え合わせると、Siの活性化率はほぼ1(100%)であることがわかる。つまり、1個のSi原子から1個の電子が生じていることがわかる。ところで、Bのイオン注入層全体で見て、 500°C でも $1 \text{ M}\Omega/\square$ 以上の十分に高いシート抵抗値を維持することができるBのドーピング量は上述のように $1 \times 10^{14} \text{ cm}^{-2}$ であるから、平均的には成長直後の状態で10個の電子に対して1個のB原子が対応している。

【0016】より詳細に検討すると、図1に示すように、Bはイオン注入層中に均一に分布しているのではない。このBのイオン注入層中の最低濃度のところでも高抵抗であるはずであるから、深さ $0.25 \mu\text{m}$ のところでも高抵抗であるとする。図1よりこの深さ $0.25 \mu\text{m}$ におけるB濃度は約 $2 \times 10^{14} \text{ cm}^{-3}$ であるから、Si濃度 $= 3 \times 10^{19} \text{ cm}^{-3}$ に対して、B濃度 $[\text{B}]$ に対するSi濃度 $[\text{Si}]$ の比 $[\text{Si}]/[\text{B}] = 3 \times 10^{19} / 2 \times 10^{14} \text{ cm}^{-3} = 15$ 程度となり、電子15個にB原子が1個対応することになる。

【0017】次に、Bのドーピング量が $2 \times 10^{14} \text{ cm}^{-2}$ の試料(2)について考えてみる。この試料(2)のBのドーピング量は試料(1)のBのドーピング量の $1/5$ である。この試料(2)のシート抵抗値は、十分に高くないにしても、Bのイオン注入によりイオン注入前の $100 \Omega/\square$ から $5 \text{ k}\Omega/\square$ へと大きく変化している。このことは、高いシート抵抗値に達しないうちはBのイオン注入量に対する高抵抗化の効果は大きい、イオン注入量が増すにつれて単位イオン注入量に対する高抵抗化の効果は小さくなるということを意味する。逆に考えると、絶縁状態と言えるほどの高シート抵抗値に達するほどのイオン注入量では、その前後 $1/2 \sim 2$ 倍程度のイオン注入量変化は絶縁状態にさほどの変化を与えないということである。したがって、先に示した絶縁性を得ることができるB濃度として、 $[\text{Si}]/[\text{B}] = 15$ という値は厳密ではなく、 $1/2 \sim 2$ 倍程度の余裕を見るのが妥当である。とすると、成長直後の状態の電子濃度に対し、その $1/30$ 程度以上のB濃度であればよいことになる。

【0018】また、以上は、Siがドーピングされたn型GaN層に高抵抗領域を形成する場合についてであるが、Siその他のドナーがドーピングされたn型GaN系半導体層に高抵抗領域を形成する場合全般について同様なこと

が成立し、さらには、マグネシウム(Mg)などのアクセプタがドーピングされたp型GaN系半導体層に高抵抗領域を形成する場合についても同様なことが成立する。

【0019】この発明は、本発明者による以上のような検討に基づいて案出されたものである。

【0020】すなわち、上記目的を達成するために、この発明の第1の発明は、導電性を有する窒化物系III-V族化合物半導体層に部分的に高抵抗領域が設けられた半導体装置において、高抵抗領域がホウ素のイオン注入により形成されたものであることを特徴とするものである。

【0021】この発明の第2の発明は、導電性を有する窒化物系III-V族化合物半導体層に部分的に高抵抗領域が設けられた半導体装置の製造方法において、窒化物系III-V族化合物半導体層に部分的にホウ素をイオン注入することにより高抵抗領域を形成するようにしたことを特徴とするものである。

【0022】この発明において、半導体装置の使用温度範囲における高抵抗領域のシート抵抗値は、好適には $1 \text{ M}\Omega/\square$ 以上、より好適には $10 \text{ M}\Omega/\square$ 以上である。さらに、ホウ素の注入量は、好適には、窒化物系III-V族化合物半導体層のキャリア濃度の $1/30$ 以上、より好適には $1/15$ 以上である。

【0023】この発明において、窒化物系III-V族化合物半導体層は、Ga、Al、InおよびBからなる群より選ばれた少なくとも一種のIII族元素と、少なくともNを含み、場合によってはAsまたはPを含むV族元素とからなる。この窒化物系III-V族化合物半導体層の具体例を挙げると、GaN層、AlGaN層、GaInN層、AlGaInN層などである。

【0024】上述のように構成されたこの発明によれば、窒化物系III-V族化合物半導体層にホウ素(B)をイオン注入すると、Bはこの窒化物系III-V族化合物半導体層の結晶内に進入して結晶格子に衝突し、欠陥を生成する。具体的には、例えばGaNを主成分とする窒化物系III-V族化合物半導体層では、Bのイオン注入により、GaとNとの結合が切断され、あるいは、GaやNがそのサイトから移動させられてしまう。これらの欠陥は禁制帯中に深い準位をつくり、これがキャリアのトラップとなってキャリアを減少させる。このため、このBがイオン注入された領域は高抵抗化される。また、これらの欠陥は例えば 500°C 程度の高温でも安定であり、したがってこれらの欠陥がつくる深い準位によるキャリアのトラップ効果も安定に保持される。

【0025】なお、Bをイオン注入した窒化物系III-V族化合物半導体層には浅い準位をつくる欠陥も含まれているが、この欠陥は隣の同様な欠陥と電気的につながりやすく、この欠陥の浅い準位にトラップされているキャリアは、これらの浅い準位を伝わって移動すること

(5)

特開平11-214800

7

ができる。これをホッピング伝導というが、熱処理を施すことにより、この欠陥を消滅させ、絶縁性を高めることができるといわれている。しかしながら、これはイオン注入のイオン種やドーズ量に關係しており、熱処理によってかえって欠陥回復の方が速くなり、抵抗値が小さくなってしまふこともある。

【0026】

【発明の実施形態】以下、この発明の実施形態について図面を参照しながら説明する。

【0027】まず、この発明の第1の実施形態によるGaN系FETの製造方法について説明する。図5にこの製造方法を示す。

【0028】この第1の実施形態においては、図5Aに示すように、まず、c面サファイア基板1上にMOCVD法により例えば560℃程度の成長温度でGaNバッファ層2を低温成長させた後、引き続きMOCVD法により例えば1000℃程度の成長温度でこのGaNバッファ層2上に例えば厚さが2μmのアンドープGaN層3および例えば厚さが0.2μmでSiを $3 \times 10^{18} \text{ cm}^{-3}$ の濃度にドーブしたn型GaNチャンネル層4を順次成長させる。次に、n型GaNチャンネル層4上に例えばSiO₂膜やSi₃N₄膜のような絶縁膜5をCVD法などにより成膜した後、この絶縁膜5上に、素子分離領域に対応する部分が開口したレジストパターン（図示せず）をリソグラフィーにより形成し、このレジストパターンをマスクとして絶縁膜5をエッチングする。この後、レジストパターンを除去する。

【0029】次に、図5Bに示すように、絶縁膜5をマスクとして、少なくともn型GaNチャンネル層4の深さ方向の全体にBをイオン注入することにより、素子分離領域となる高抵抗領域6を形成する。このBのイオン注入は、n型GaNチャンネル層4へのBの注入量が、このn型GaNチャンネル層4のキャリア濃度の1/30以上、好適には1/15以上となるような条件で行う。このBのイオン注入は、具体的には、例えば、注入エネルギー60keV、ドーズ量 $1 \times 10^{11} \text{ cm}^{-2}$ の条件で行う。

【0030】次に、図5Cに示すように、絶縁膜5のうち、FETのソース電極およびドレイン電極形成部と後述のショットキーダイオードのオーミック電極形成部とに対応する部分が開口したレジストパターン（図示せず）をリソグラフィーにより形成した後、このレジストパターンをマスクとして絶縁膜5をエッチングすることにより開口5a、5b、5cを形成する。次に、このレジストパターンをそのまま残した状態で例えば真空蒸着法により全面に例えばTi/Al膜やTi/Al/Pt/Au膜のようなオーミック金属膜を形成した後、このレジストパターンをその上に形成されたオーミック金属膜とともに除去する（リフトオフ）。これによって、開口5a、5b、5cの部分にそれぞれソース電極7、ド

8

レイン電極8および電極9が形成される。これらのソース電極7、ドレイン電極8および電極9はn型GaNチャンネル層4とオーミック接触する。

【0031】次に、図5Dに示すように、FETのショットキーゲート電極形成部とショットキーダイオードのショットキー電極形成部とに対応する部分が開口したレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして絶縁膜5をエッチングすることにより開口5d、5eを形成する。次に、このレジストパターンをそのまま残した状態で例えば真空蒸着法により全面に例えばTi/Al膜やTi/Al/Pt/Au膜などのショットキー金属膜を形成した後、このレジストパターンをその上に形成されたショットキー金属膜とともに除去する。これによって、開口5d、5eの部分にそれぞれショットキーゲート電極10およびショットキー電極11が形成される。ここで、ショットキーゲート電極10、n型GaNチャンネル層4、ソース電極7およびドレイン電極8によりGaN系FETが構成され、ショットキー電極11、n型GaNチャンネル層4および電極9によりショットキーダイオードが構成される。

【0032】次に、配線形成部に対応する部分が開口したレジストパターン（図示せず）をリソグラフィーにより形成した後、例えば真空蒸着法により全面に例えばTi/Pt/Au膜のような金属膜を形成する。次に、このレジストパターンをその上に形成された金属膜とともに除去する。これによって、ソース電極7と電気的に接続された配線12、ドレイン電極8とショットキーダイオードの電極9とを電気的に接続する配線13およびショットキーダイオードのショットキー電極11と電気的に接続された配線14が形成される。

【0033】以上のように、この第1の実施形態によれば、素子分離領域のn型GaNチャンネル層4に、このn型GaNチャンネル層4のキャリア濃度の1/30以上、好適には1/15以上の注入量でBをイオン注入することにより、素子分離領域となる高抵抗領域6を形成しているため、使用温度が500℃でも1MΩ/□以上と素子分離領域として実用上十分に高いシート抵抗値を有する高抵抗領域6を得ることができる。このため、GaN系FET本来の高い性能を十分に発揮することができ、高周波、高温、大電力の高性能のGaN系FETを実現することができる。

【0034】次に、この発明の第2の実施形態によるGaN系半導体レーザの製造方法について説明する。図6～図8にこの製造方法を示す。このGaN系半導体レーザはSCH（Separate Confinement Heterostructure）構造を有するものである。

【0035】この第2の実施形態においては、図6に示すように、まず、c面サファイア基板21上にMOCVD法により例えば560℃程度の成長温度でGaNバッファ層22を低温成長させた後、引き続きMOCVD

(6)

特開平11-214800

9

10

法によりこのGa_{0.5}Nバッファ層22上にn型Ga_{0.5}Nコンタクト層23、n型AlGa_{0.5}Nクラッド層24、n型Ga_{0.5}N光導波層25、例えばGa_{0.5}N、In_{0.5}N/Ga_{0.5}N、In_{0.5}N、N多量量子井戸構造の活性層26、p型Ga_{0.5}N光導波層27、p型AlGa_{0.5}Nクラッド層28およびp型Ga_{0.5}Nコンタクト層29を順次成長させる。ここで、In_{0.5}Nを含まない層であるn型Ga_{0.5}Nコンタクト層23、n型AlGa_{0.5}Nクラッド層24、n型Ga_{0.5}N光導波層25、p型Ga_{0.5}N光導波層27、p型AlGa_{0.5}Nクラッド層28およびp型Ga_{0.5}Nコンタクト層29の成長温度は例えば1000℃程度とし、In_{0.5}Nを含む層であるGa_{0.5}N、In_{0.5}N/Ga_{0.5}N、In_{0.5}N、N多量量子井戸構造の活性層26の成長温度は例えば700~800℃とする。また、これらの層の厚さの一例を挙げると、Ga_{0.5}Nバッファ層22は50nm、n型Ga_{0.5}Nコンタクト層23は3μm、n型AlGa_{0.5}Nクラッド層24は0.5μm、n型Ga_{0.5}N光導波層25は0.1μm、p型Ga_{0.5}N光導波層27は0.1μm、p型AlGa_{0.5}Nクラッド層28は0.5μm、p型Ga_{0.5}Nコンタクト層29は0.5μmとする。また、n型Ga_{0.5}Nコンタクト層23、n型AlGa_{0.5}Nクラッド層24およびn型Ga_{0.5}N光導波層25にはドナーとして例えばシリコン(Si)をドーブし、p型Ga_{0.5}N光導波層27、p型AlGa_{0.5}Nクラッド層28およびp型Ga_{0.5}Nコンタクト層29にはアクセプタとして例えばマグネシウム(Mg)をドーブする。その後、これらの層にドーブされたドナーおよびアクセプタの電気的活性化、特にp型Ga_{0.5}N光導波層27、p型AlGa_{0.5}Nクラッド層28およびp型Ga_{0.5}Nコンタクト層29にドーブされたアクセプタの電気的活性化のための熱処理を行う。この熱処理の温度は例えば700℃程度とする。

【0036】次に、図7に示すように、p型Ga_{0.5}Nコンタクト層29上に、形成すべき電流狭窄層に対応する部分が開口したレジストパターン30をリソグラフィーにより形成した後、このレジストパターン30をマスクとして、p型AlGa_{0.5}Nクラッド層28の厚さ方向の途中の深さに達するエネルギーでBをイオン注入することにより、電流狭窄層となる高抵抗領域31を形成する。このBのイオン注入は、p型Ga_{0.5}Nコンタクト層29およびp型AlGa_{0.5}Nクラッド層28へのBの注入量が、これらのp型Ga_{0.5}Nコンタクト層29およびp型AlGa_{0.5}Nクラッド層28のキャリア濃度の1/30以上、好適には1/15以上となるような条件で行う。このBのイオン注入は、具体的には、これらのp型Ga_{0.5}Nコンタクト層29およびp型AlGa_{0.5}Nクラッド層28のキャリア濃度を例えば $2 \times 10^{14} \text{ cm}^{-3}$ とすると、例えば、注入エネルギー160keV、ドーズ量 $2 \times 10^{11} \text{ cm}^{-2}$ の条件で行う。

【0037】次に、レジストパターン30を除去した後、p型Ga_{0.5}Nコンタクト層29上にストライプ状のレ

ジストパターン(図示せず)を形成し、このレジストパターンをマスクとして例えば反応性イオンエッチング(RIE)法によりエッチングすることにより、図8に示すように、p型Ga_{0.5}Nコンタクト層29、p型AlGa_{0.5}Nクラッド層28、p型Ga_{0.5}N光導波層27、活性層26、n型Ga_{0.5}N光導波層25、n型AlGa_{0.5}Nクラッド層24およびn型Ga_{0.5}Nコンタクト層23の上層部をストライプ状にパターンニングする。次に、エッチングマスクに用いたレジストパターンを除去した後、p型Ga_{0.5}Nコンタクト層29および高抵抗領域31上に例えばNi/Au膜やPt/Au膜からなるp側電極32を形成するとともに、エッチングされた部分のn型Ga_{0.5}Nコンタクト層23上に例えばTi/Al膜からなるn側電極33を形成する。

【0038】この後、上述のようにしてレーザ構造が形成されたc面サファイア基板21を劈開などによりバー状に加工して両共振器端面を形成し、さらにこれらの共振器端面に端面コーティングを施した後、このバーを劈開などによりチップ化する。以上により、目的とするSCH構造のGa_{0.5}N系半導体レーザが製造される。

【0039】この第2の実施形態によれば、電流狭窄層形成部のp型Ga_{0.5}Nコンタクト層29およびp型AlGa_{0.5}Nクラッド層28に、これらのp型Ga_{0.5}Nコンタクト層29およびp型AlGa_{0.5}Nクラッド層28のキャリア濃度の1/30以上、好適には1/15以上の注入量でBをイオン注入することにより、電流狭窄層となる高抵抗領域31を形成しているため、使用温度が500℃でも1MΩ/□以上と電流狭窄層として実用上十分に高いシート抵抗値を有する高抵抗領域31を得ることができる。このため、Ga_{0.5}N系半導体レーザ本来の高い性能を十分に発揮することができ、高性能のGa_{0.5}N系半導体レーザを実現することができる。

【0040】以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0041】例えば、上述の第1および第2の実施形態において挙げた数値、構造、基板、原料、プロセスなどはあくまでも例に過ぎず、必要に応じて、これらと異なる数値、構造、基板、原料、プロセスなどを用いてもよい。

【0042】具体的には、上述の第1および第2の実施形態においては、基板としてc面サファイア基板を用いているが、必要に応じて、炭化ケイ素(SiC)基板、Ga_{0.5}N基板、酸化亜鉛(ZnO)基板などを用いてもよい。

【0043】

【発明の効果】以上説明したように、この発明によれば、導電性を有する窒化物系III-V族化合物半導体層に部分的にホウ素をイオン注入することにより高抵抗

(7)

特開平11-214800

11

領域を形成していることにより、高温でも高抵抗を維持する高抵抗領域を得ることができる。

【図面の簡単な説明】

【図1】この発明を案出する過程で行ったSIMS測定の結果を説明するための略線図である。

【図2】この発明を案出する過程で行ったSIMS測定の結果を説明するための略線図である。

【図3】この発明を案出する過程で行ったシート抵抗値の熱処理温度依存性の測定結果を説明するための略線図である。

【図4】この発明を案出する過程で行ったシート抵抗値の熱処理温度依存性の測定結果を説明するための略線図である。

【図5】この発明の第1の実施形態によるGaN系FETの製造方法を説明するための断面図である。

【図6】この発明の第2の実施形態によるGaN系半導体

12

*体レーザの製造方法を説明するための断面図である。

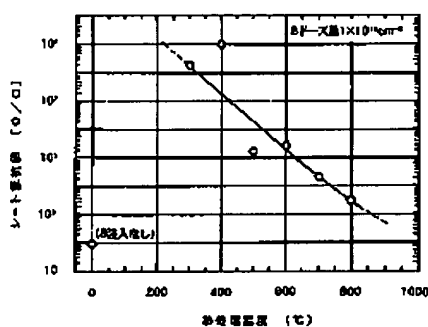
【図7】この発明の第2の実施形態によるGaN系半導体レーザの製造方法を説明するための断面図である。

【図8】この発明の第2の実施形態によるGaN系半導体レーザの製造方法を説明するための断面図である。

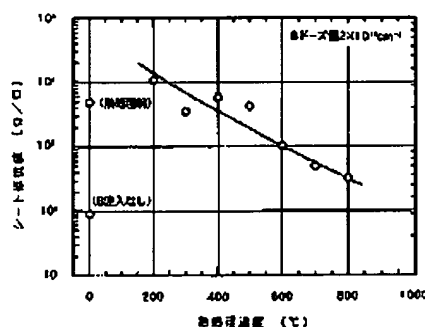
【符号の説明】

1. 21・・・c面サファイア基板、3・・・アンドープGaN層、4・・・n型GaN層、6、31・・・高抵抗領域、7・・・ソース電極、8・・・ドレイン電極、10・・・ショットキーゲート電極、11・・・ショットキー電極、23・・・n型GaNコンタクト層、24・・・n型AlGaNクラッド層、26・・・活性層、28・・・p型AlGaNクラッド層、29・・・p型GaNコンタクト層、32・・・p側電極、33・・・n側電極

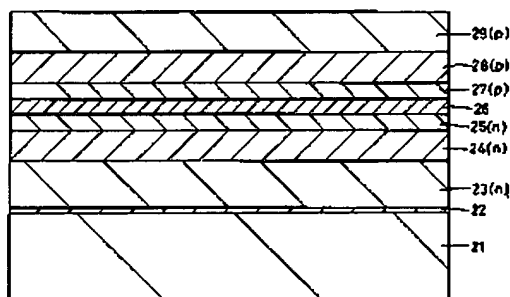
【図3】



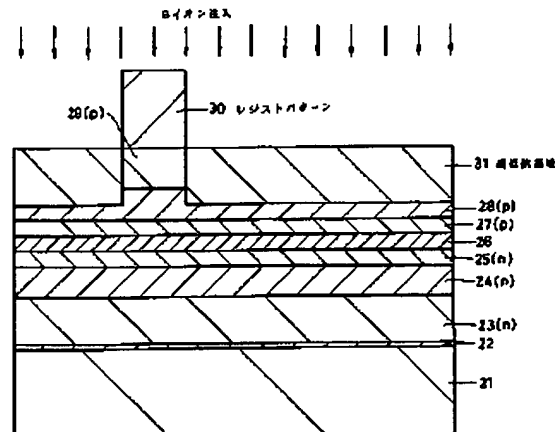
【図4】



【図6】



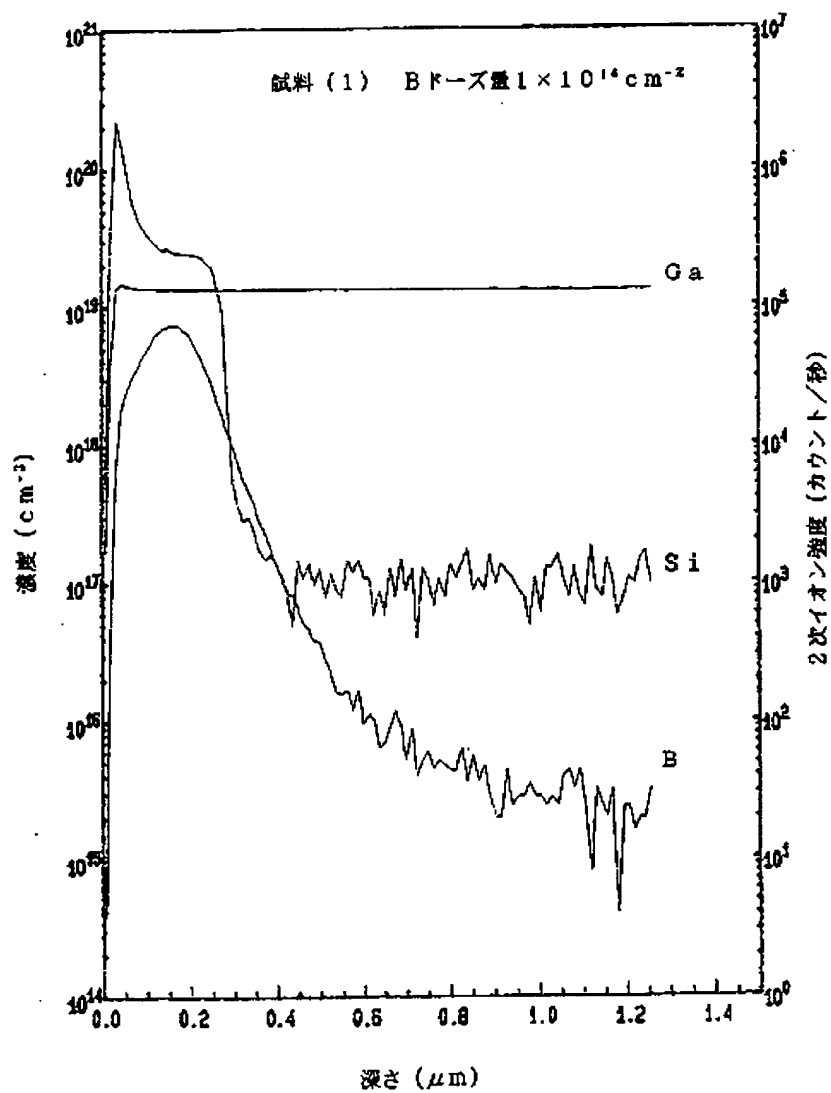
【図7】



(8)

特開平11-214800

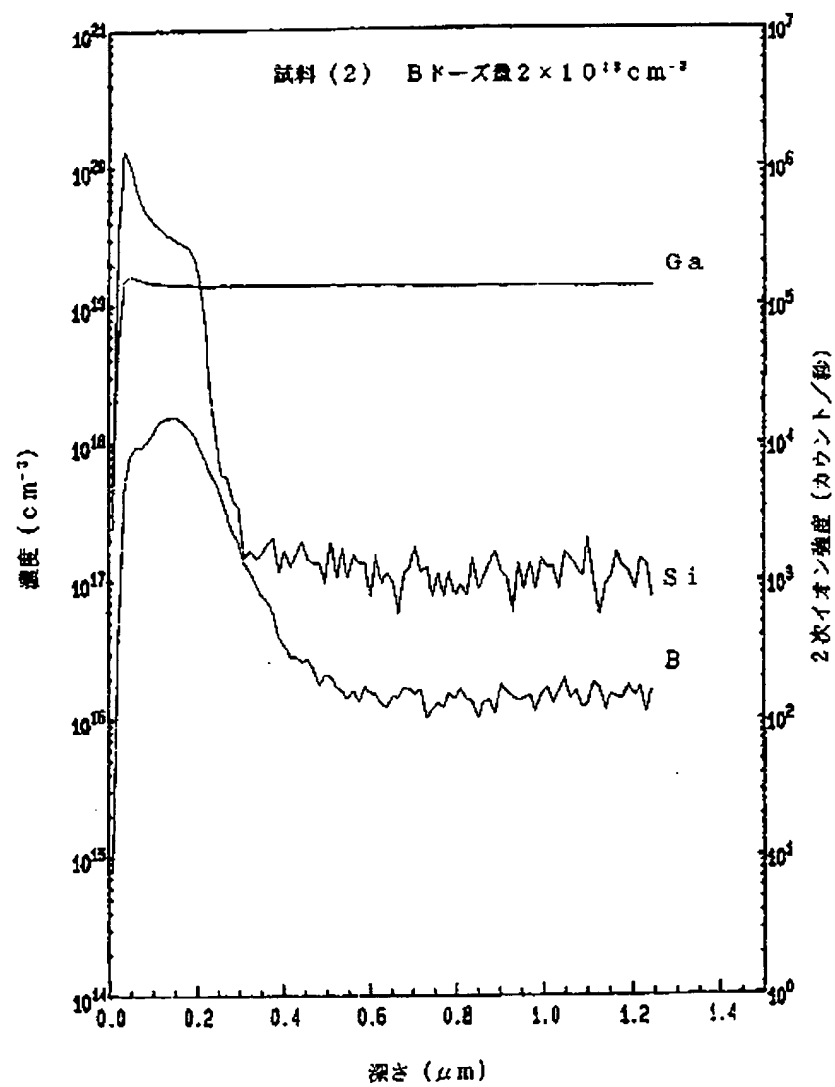
【図1】



(9)

特開平11-214800

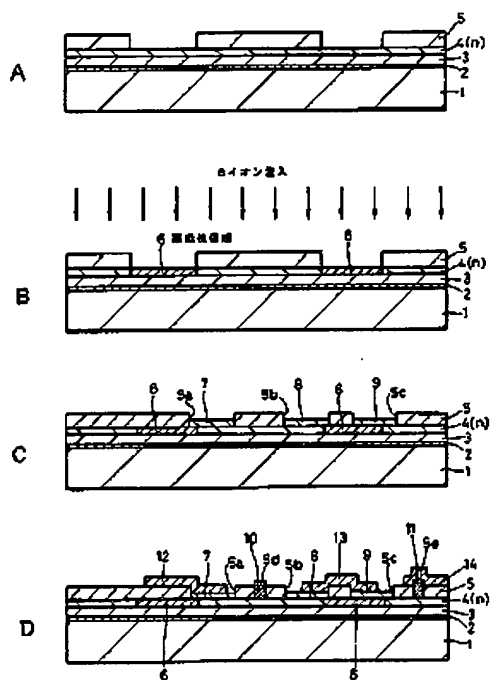
【図2】



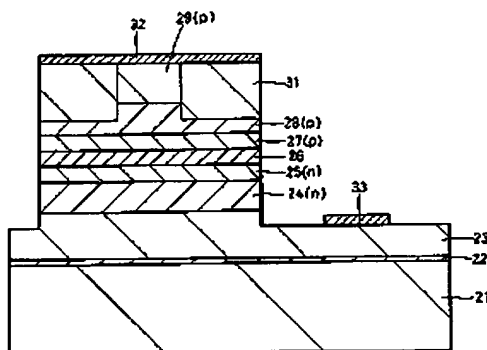
(10)

特開平11-214800

【図5】



【図8】



フロントページの続き

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 33/00